

(51) Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 03 K 5/13				
H 03 L 1/00				
7/00	A			
7/08				

H 03 L 7/08 L  
審査請求 未請求 請求項の数 4 FD (全 8 頁)

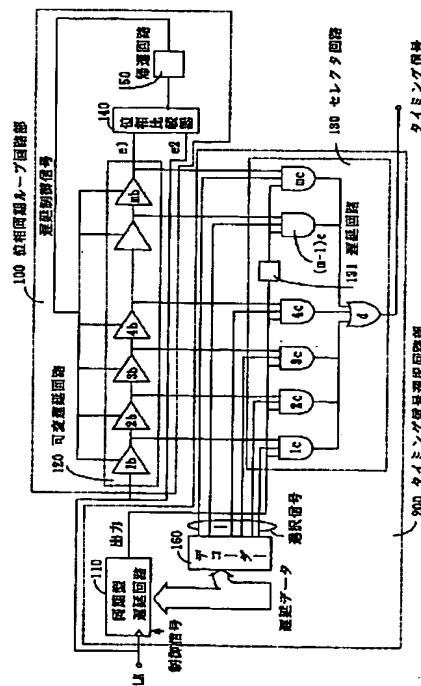
(21)出願番号	特願平7-102955	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成7年(1995)4月4日	(72)発明者	岡安 俊幸 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(31)優先権主張番号	特願平6-143950	(72)発明者	酒井 秀男 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(32)優先日	平6(1994)6月2日		
(33)優先権主張国	日本 (JP)		

## (54)【発明の名称】 タイミング信号発生回路

## (57)【要約】

【目的】 I Cに加わる温度変動及び電源変動などの外乱や、自己発熱の変動及び回路構成により生じるタイミング精度の低下を防ぎ、高分解能、高精度のタイミング信号を発生する。

【構成】 可変遅延素子を絶縁に接続した可変遅延回路120と、可変遅延回路120の出力信号e1とCLK信号e2の位相を比較する位相比較器140と、位相比較器140の出力を可変遅延素子に帰還させる帰還回路150とで構成される位同期型ループ回路部100を設け、遅延データの上位桁をCLK周期の整数倍で出力信号とする同期型遅延回路110と、遅延データの下位桁をデコードするデコーダー160と、同期型遅延回路110の出力信号とデコーダー160の選択信号とで、m個の可変遅延素子の出力のうち1つを選択し、CLK周期の1/mの整数倍のタイミング信号を発生するセレクタ回路130により構成されるタイミング信号選択回路部200を設けている。



## 【特許請求の範囲】

【請求項1】 CLK信号を入力するm個の可変遅延素子を縦続に接続した可変遅延回路(120)と、上記可変遅延回路(120)の出力信号e1とCLK信号e2の位相を比較する位相比較器(140)と、上記位相比較器(140)の出力を上記m個の可変遅延素子にそれぞれ帰還させる帰還回路(150)とにより構成される位相同期ループ回路部(100)を設け、  
遅延データの上位桁をもとにCLK周期の整数倍で遅延時間の出力信号を発生する同期型遅延回路(110)と、上記遅延データの下位桁をデコードするデコーダー(160)と、上記同期型遅延回路(110)の出力信号と上記デコーダー(160)の出力である選択信号とで、上記m個の可変遅延素子の出力のうち1つを選択し、CLK周期の1/mの整数倍のタイミング信号を発生するセレクタ回路(130)とにより構成されるタイミング信号選択回路部(200)を設けた、  
ことを特徴とするタイミング信号発生回路。

【請求項2】 可変遅延回路(120)の可変遅延素子は、デュアルゲートMOSFETで構成されたインバータであり、可変遅延素子の出力毎に正論理及び負論理となり、セレクタ回路(130)で論理を整合することを特徴とする請求項1記載のタイミング信号発生回路。

【請求項3】 位相同期ループ回路部(100)の帰還回路(150)の出力は、遅延制御信号を2値に変換して、可変遅延素子の遅延時間を制御することを特徴とする請求項1及び請求項2記載のタイミング信号発生回路。

【請求項4】 一つの位相同期ループ回路部(100)と、  
上記位相同期ループ回路部(100)のm個の可変遅延素子の出力を、それぞれ使用してタイミング信号を発生する複数のタイミング信号選択回路部(200)と、  
を具備することを特徴とするタイミング信号発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えばICテストシステムのような電子機器において使用する、高分解能のタイミング信号を、温度変動及び電源変動などにより生じる精度の低下を防ぎ発生するタイミング信号発生回路に関するものである。

## 【0002】

【従来の技術】 電子回路の高速化に伴って、電子機器で使用するタイミング信号の高分解能化及び高精度化が要求されるようになっている。図7に同期型ダウンカウンタ10を使用したタイミング信号発生回路の例を示す。この場合、LOAD信号により遅延データを同期型ダウンカウンタ10にセットし、繰りて、セットされたデータがCLK信号に同期して1づつ減数され、同期型ダウンカウンタ10が“0”になった状態でA11Zero

信号が出力され、CLK信号周期の整数倍の遅延時間を示すタイミング信号を発生できる。

【0003】 この場合、精度の高い水晶発信器を使用したCLK信号を使用することで、精度の高いタイミング信号を得ることができる。しかし、同期型ダウンカウンタ10の動作速度には限界があり、高分解能、例えばCLK信号の周期を10ns以下にして10ns単位以下のタイミング信号を容易に発生することはできない。

【0004】 図8は、CLK周期以下の遅延データを設定してタイミング信号を発生する回路例である。同期型

10 ダウンカウンタ10の出力信号A11Zero信号は、セレクタA21のA端子に入力すると同時にバッファ31を経由してB端子に入力する。このセレクタA21のA端子又はB端子を選択することにより、バッファ31の1段分の遅延時間を切り換えてタイミング信号を発生することができる。

【0005】 セレクタA21の出力信号は、セレクタB22のA端子に入力すると同時にバッファ31を2段経由してB端子に入力する。このセレクタB22のA端子又はB端子を選択することにより、バッファ31の2段分の遅延時間を切り換えてタイミング信号を発生することができる。

【0006】 同じようにセレクタB22の出力信号は、セレクタC23のA端子に入力すると同時にバッファ31を4段経由してB端子に入力する。このセレクタC23のA端子又はB端子を選択することにより、バッファ31の4段分の遅延時間を切り換えてタイミング信号を発生することができる。

【0007】 更に、同じように8段分、16段分のバッ30 ファ31を接続し選択することで、CLK信号の1周期分の遅延時間を複数段に分割した遅延時間でタイミング信号を発生することができる。

【0008】 この方法では、遅延時間の単位をバッファ31の1段の遅延時間Tp dとしているため次のようない点がある。

① ICの周囲温度及びICに加えられた電源電圧の変化により遅延時間Tp dが変動し、タイミング信号の誤差を発生する。

② ICの製造ばらつきにより、遅延時間Tp dがICによって異なるため、タイミング信号の誤差を発生する。

③ 同期型ダウンカウンタ10にセットする遅延データの値によってバッファ31を通過する信号の周期が変化し、それによりバッファ31の自己発熱量が変動し、それによる温度変動により遅延時間Tp dが変動し、タイミング信号の誤差を発生する。これは、静止時の電力消費が少ないCMOS回路において特に顕著である。

【0009】 以上のような遅延時間Tp dの変動は、図9に示すような1CLK分周期毎の不連続点を発生させる。図8の回路で、1CLKをバッファ31のm個で分

割した場合、遅延時間  $T_{pd}$  が  $1 \text{ CLK}$  時間/ $m$  個の値より大きい時、図 9 の実線のような不連続点が発生し、遅延時間  $T_{pd}$  が  $1 \text{ CLK}$  時間/ $m$  個の値より小さい時、図 9 の点線のような不連続点が発生する。

【0010】図 8 の回路では、バッファ 31 による遅延時間とは別に、複数のセレクタによるタイミング信号の遅延がある。この遅延は、バッファ 31 による可変遅延時間への影響はないが、タイミング信号への影響があり、上記①から③と同じ理由により複数のセレクタの遅延量が変動し、タイミング信号の誤差の原因になる。

#### 【0011】

【発明が解決しようとする課題】従来の方法で  $\text{CLK}$  周期以下の遅延データを設定してタイミング信号を発生する場合、 $\text{IC}$  に加わる温度及び電源電圧の変化、 $\text{IC}$  の製造ばらつき、遅延のためのバッファ 31 の自己発熱量の変動による温度変動、複数のセレクタ回路による遅延及び遅延変動が、タイミング信号の誤差の要因となり、その精度は良くなかった。本発明は、 $\text{IC}$  に加わる温度変動及び電源変動などの外乱や、自己発熱の変動及び回路構成により生じるタイミング精度の低下を防ぎ、高分解能、高精度のタイミング信号を発生することを目的としている。

#### 【0012】

【課題を解決するための手段】上記目的を達成するために、本発明のタイミング信号発生回路においては、次のように構成している。つまり、 $\text{CLK}$  信号を入力する  $m$  個の可変遅延素子を縦続に接続した可変遅延回路 120 と、上記可変遅延回路 120 の出力信号  $e_1$  と  $\text{CLK}$  信号  $e_2$  の位相を比較する位相比較器 140 と、上記位相比較器 140 の出力を上記  $m$  個の可変遅延素子にそれぞれ帰還させる帰還回路 150 とにより構成される位相同期ループ回路部 100 を設けている。また、遅延データの上位桁をもとに  $\text{CLK}$  周期の整数倍で遅延時間の出力信号を発生する同期型遅延回路 110 と、上記遅延データの下位桁をデコードするデコーダー 160 と、上記同期型遅延回路 110 の出力信号と上記デコーダー 160 の出力である選択信号とで、上記  $m$  個の可変遅延素子の出力のうち 1 つを選択し、 $\text{CLK}$  周期の  $1/m$  の整数倍のタイミング信号を発生するセレクタ回路 130 とにより構成されるタイミング信号選択回路部 200 を設けている。

【0013】ここで、可変遅延回路 120 の可変遅延素子は、デュアルゲート MOSFET で構成されたインバータであり、可変遅延素子の出力毎に正論理及び負論理となり、セレクタ回路 130 で論理を整合してもよい。また、位相同期ループ回路部 100 の帰還回路 150 の出力は、遅延制御信号を 2 値に変換して、可変遅延素子の遅延時間を制御してもよい。更に、一つの位相同期ループ回路部 100 と、上記位相同期ループ回路部 100 の  $m$  個の可変遅延素子の出力を、それぞれ使用してタイ

ミング信号を発生する複数のタイミング信号選択回路部 200 を構成することができる。

#### 【0014】

【作用】上記のように構成されたタイミング信号発生回路においては、 $m$  個の可変遅延回路は常に精度の高い  $\text{CLK}$  に同期して動作しており自己発熱量が安定している。このため、位相同期ループ回路部は、 $\text{IC}$  に加わる温度変動及び電源変動などの外乱に応答すればよい。また、可変遅延回路は  $m$  個の微小遅延する可変遅延素子で構成しているため  $\text{CLK}$  周期の  $1/m$  の周期の高精度の信号を得ることができ、高分解能のタイミング信号を発生することができる。

#### 【0015】

##### 【実施例】

(実施例 1) 図 1 に本発明のタイミング信号発生回路の一実施例を示す。本回路は次のブロックに分解できる。

###### ① 可変遅延回路 120

$m$  個の可変遅延素子を縦続に接続している。この時  $m$  は、 $1 \text{ CLK}$  を分割するタイミング数である。そして、

20 ②  $m$  個の可変遅延素子の遅延時間の合計である可変遅延時間が  $1 \text{ CLK}$  の時間になるよう帰還回路 150 で制御される。

###### ③ 位相比較器 140

2つの入力信号  $e_1$ 、 $e_2$  の位相差に比例した電圧又は電流を出力する回路である。チャージポンプは、このブロックに含まれる。なお、 $e_1$  は  $\text{CLK}$  信号を  $1 \text{ CLK}$  分遅延した可変遅延回路 120 の最終出力であり、 $e_2$  は  $\text{CLK}$  信号そのものである。

###### ④ 帰還回路 150

可変遅延回路 120、位相比較器 140 及び帰還回路 150 で構成される位相同期ループ回路部 100 の周波数特性を決める回路であり、周波数特性を決定するフィルタを含む。なお、可変遅延回路 120 は、常に一定のクロックに同期して動作しており、自己発熱が一定である。すなわち、負帰還ループは、温度、電圧変動の外乱にのみ応答すればよく、高速の応答特性の必要はない。

###### ⑤ セレクタ回路 130

遅延データの下位桁をもとに可変遅延回路 120 の可変遅延素子からの  $m$  個の出力信号から 1 つを選択してタイミング信号として取り出す回路である。

###### ⑥ 同期型遅延回路 110

遅延データの上位桁をもとに  $\text{CLK}$  周期の整数倍の分解能で遅延時間の出力信号を発生する。この回路の出力と選択信号とで可変遅延回路 120 の可変遅延素子からの  $m$  個の出力のうち 1 つを選択し、タイミング信号として出力する。

###### ⑦ デコーダー 160

遅延データの下位桁をもとに可変遅延回路 120 の可変遅延素子からの  $m$  個の出力のうち 1 つを選択する選択信号を発生する。

【0016】CLK周期の整数倍の遅延時間を発生する方式は、従来と同じように、同期型遅延回路110によって行われる。CLK周期の $1/m$ の微小遅延を発生するためには、可変遅延回路120を構成する可変遅延素子1段あたりの遅延時間を、CLK周期の $1/m$ の遅延時間となるよう帰還回路150で制御している。すなわち、m段の可変遅延素子の全体の遅延時間は、CLKの周期に等しい。このm段の可変遅延素子からなる可変遅延回路120の各可変遅延素子の出力は、CLKを均等にm相に分割したものとなる。このm相CLKの中から1つをセレクタ回路130により選択する。このセレクタ回路130は、同期型遅延回路110の出力によっても制御されている。

【0017】図2はm=4とした時のタイミングを示している。同期型遅延回路110は設定遅延データの上位桁であるnの回数分CLKを計数し、n番目のCLKで出力信号を発生する。この出力信号の期間、セレクタ回路130が動作し、設定遅延データの下位桁でm相CLKのうちの1つを選択信号によって選択し、タイミング信号を出力する。この時、m相CLKのうち後段の信号は、同期型遅延回路110の出力信号の期間の後半に発生し、タイミング信号のパルス幅が細くなるため、同期型遅延回路110の出力信号を遅延させた遅延回路131の出力を出力信号の期間とする。この遅延回路131は、分割数m及び同期型遅延回路110の出力信号のパルス幅に応じて適宜挿入する。また、デコーダー160からセレクタ回路130に至る選択信号は、タイミング信号発生中、変化しないで供給されている。

【0018】図3に可変遅延回路120において電圧制御が可能な可変遅延素子の一例を示す。図3(a)は、一般的なCMOSインバータである。この電源電圧V<sub>CP</sub>及びV<sub>CN</sub>を変化させることによって遅延時間T<sub>PD</sub>を制御することができる。図3(b)は、電源電圧を制御するのではなく、Q3及びQ4のON抵抗をV<sub>CP</sub>及びV<sub>CN</sub>で制御して遅延時間T<sub>PD</sub>を変化させる回路である。また、図3(c)は、単一ゲートのMOSFETではなく、デュアルゲートMOSFETを用いたものである。この場合、Pch及びNchのデュアルゲートMOSFETのG(ゲート)1同志を接続して入力端子とし、D(ドレイン)同志を接続して出力端子としている。ここで、デュアルゲートMOSFETの特性として、G1、D、S(ソース)間の静特性をG2によって可変制御することができるので、例えばINの電圧をV<sub>DD</sub>とすると、NchデュアルゲートMOSFETはONとなり、このときのON抵抗をV<sub>CN</sub>に与える電圧を制御することで連続的に可変することができる。すると、そのON抵抗と、配線容量及び次段の入力容量であるC<sub>S</sub>との積によって定まる出力の遷移時間を、V<sub>CN</sub>によって制御することができる。このことは、PchデュアルゲートMOSFETにおいても同様であり、V<sub>CP</sub>によってPchデ

ュアルゲートMOSFETのON抵抗を制御することができる。

【0019】図3(b)及び(c)のインバータについて、説明を簡略化するためにON抵抗という語をもちいたが、これらON抵抗は、入力ゲート電圧に対し非線形性を持つている。このため、例えば図3(c)について正しくは、G1、D、S間の電圧によって定まるドレン電流I<sub>D</sub>をG2によって制御することで、出力波形の遷移時間を制御していると言える。そして、V<sub>CN</sub>は高く、V<sub>CP</sub>は低くするほど、I<sub>D</sub>が増加するため遷移時間は短くなり、遅延時間も短くなる。また、図3(a)においても図3(b)においても図3(c)においても、V<sub>CP</sub>及びV<sub>CN</sub>の2値を変化させて遅延時間を制御しているが、一方を固定値として、もう一方のみの電圧変化で遅延時間を制御してもよい。

【0020】図4は、帰還回路150の遅延制御信号を2値に変換して、可変遅延素子の遅延時間を制御する場合の、遅延制御信号発生器の一例を示している。

【0021】ところで、図3に示した可変遅延素子は、20 インバータである。このため、図1の可変遅延回路120に示す可変遅延素子と同じ論理にするには、図5(b)のように可変遅延素子の出力にインバータ1個を接続してもよい。また、図5(a)のように可変遅延素子を縦列接続し、1個毎に正論理及び負論理の信号を出力し、セレクタ回路130で論理を整合させてもよい。

【0022】(実施例2) 図6に複数のタイミング信号が必要な場合の回路を示す。この場合、可変遅延回路120は、位相比較器140及び帰還回路150と共に構成される位相同期ループ回路部100を形成しており、同期型遅延回路110、セレクタ回路130と無関係に、CLKと同期して安定した遅延回路を形成している。このため、可変遅延回路120の可変遅延素子からの出力は、複数のタイミング信号選択回路部200で共有することができる。この時、セレクタ回路130にも帰還回路150より発生する遅延制御信号を供給することで、セレクタ回路130での遅延時間を安定させることができる。

### 【0023】

【発明の効果】本発明は、以上説明したように構成されているので、以下に記載されるような効果を奏する。つまり、CLK周期より微小な周期の分解能でタイミング信号を高精度に発生することができ、温度及び電源電圧の変化、ICの製造ばらつき及び自己発熱量の変動による温度変動によってタイミング信号が変動するがない。従って、本発明による回路は、高分解能のタイミング信号を、高い精度で発生することができ有用である。

### 【図面の簡単な説明】

【図1】本発明のタイミング信号発生回路の一実施例を示すブロック図である。

【図2】本発明のタイミング信号発生回路の一実施例に

において $m=4$ とした時のタイミング図である。

【図3】本発明の電圧制御が可能な可変遅延素子の一例を示す回路図である。

【図4】本発明の可変遅延素子のドライバの一例を示す説明図である。

【図5】本発明の可変遅延回路の一例を示す回路図である。

【図6】本発明の複数タイミング信号発生回路の一実施例を示すブロック図である。

【図7】従来の同期型ダウンカウンタを使用したタイミング信号発生回路ブロック図である。

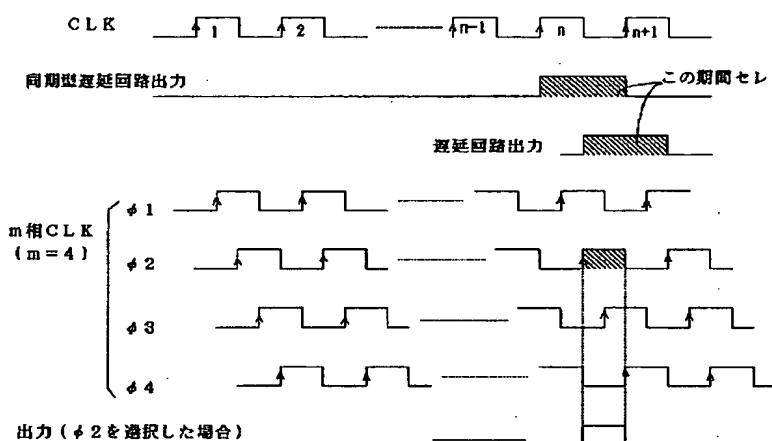
【図8】従来のCLK周期以下の遅延データを設定してタイミング信号を発生する回路ブロック図である。

【図9】従来のCLK周期以下の遅延データを設定してタイミング信号を発生する回路におけるタイミング信号設定値と遅延時間の関係を示す説明図である。

### 【符号の説明】

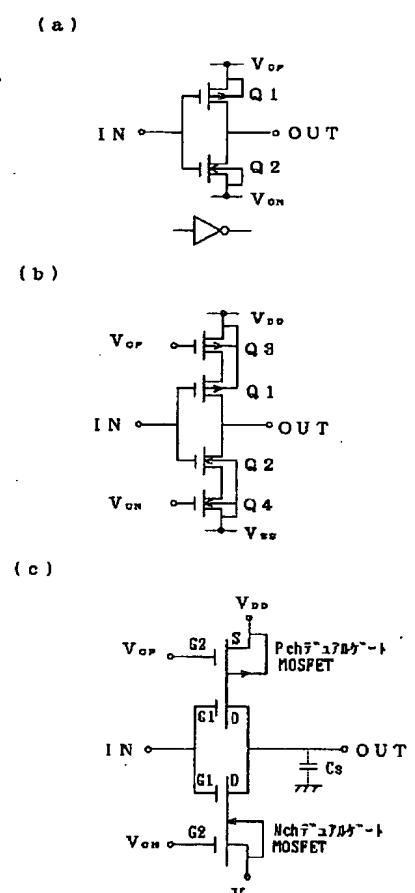
1 0	同期型ダウンカウンタ
2 1	セレクタA
2 2	セレクタB
2 3	セレクタC
3 1	パッファ
1 0 0	位相同期ループ回路部
1 1 0	同期型遅延回路
1 2 0	可変遅延回路
1 3 0	セレクタ
1 3 1	遅延回路
1 4 0	位相比較器
1 5 0	帰還回路
1 6 0	デコーダー
2 0 0	タイミング信号選択回路部

【図2】

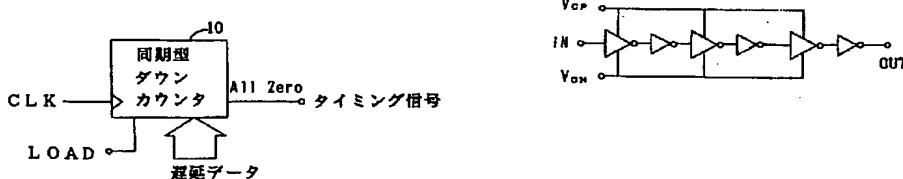


【図4】

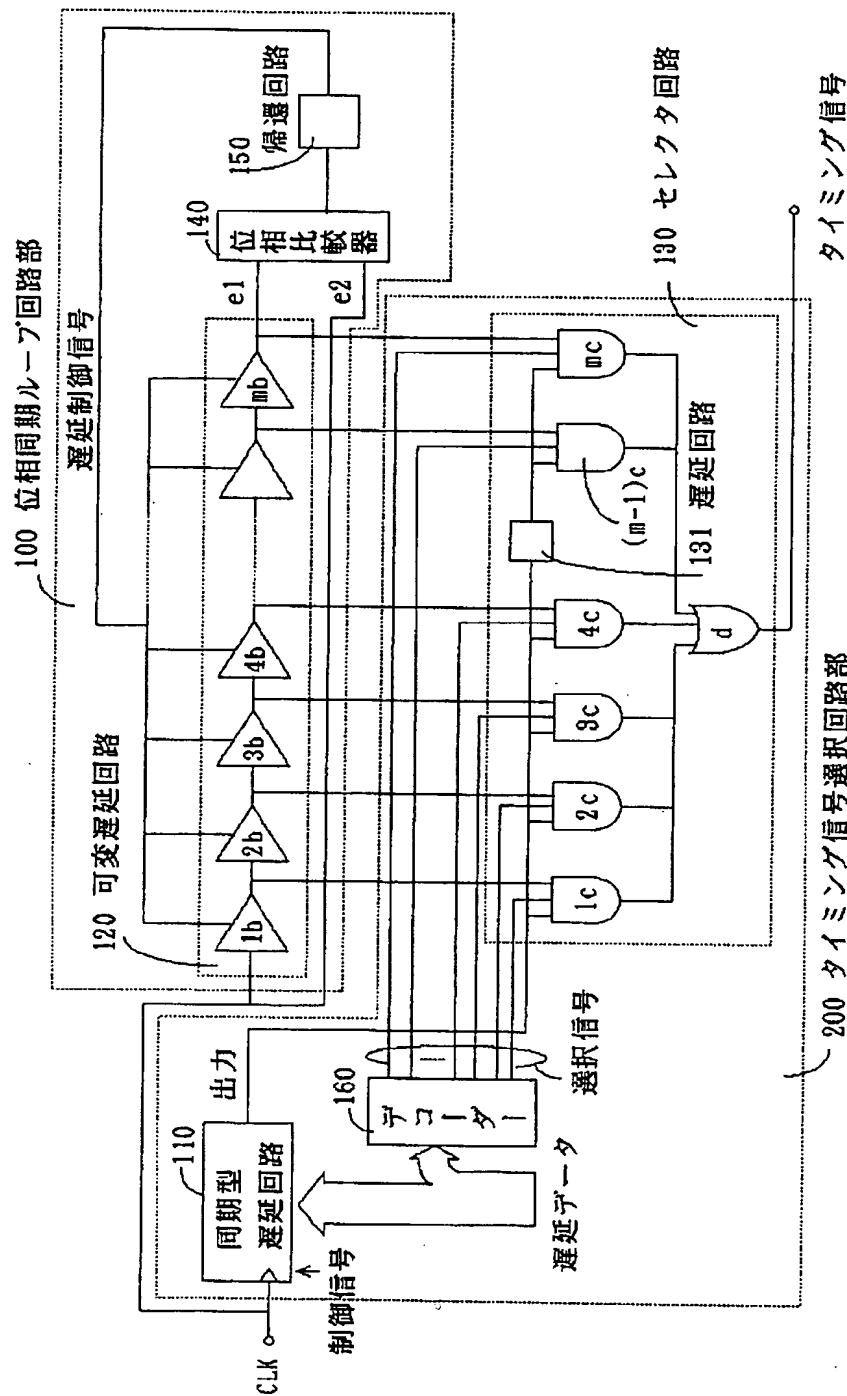
【図5】



【図7】

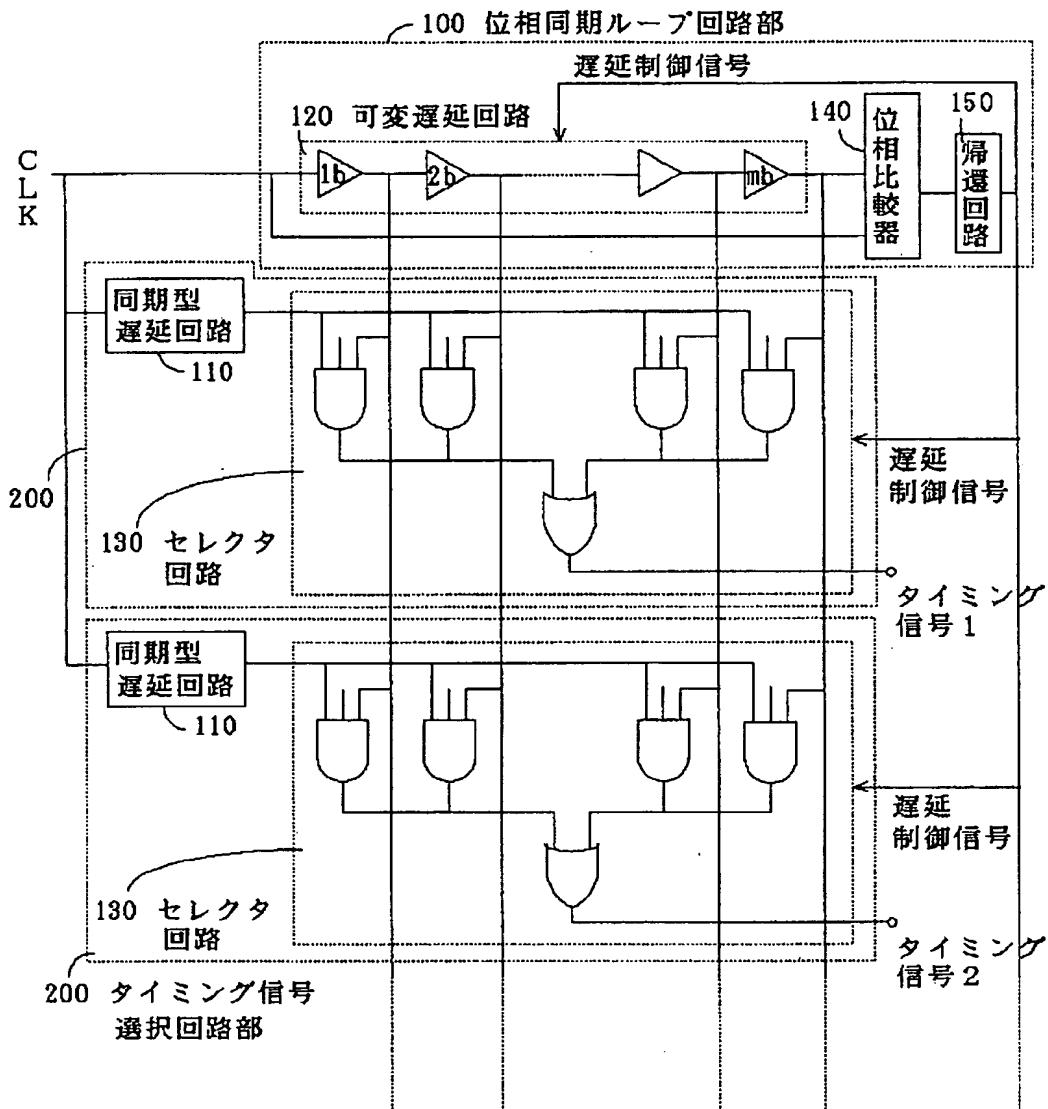


【図1】

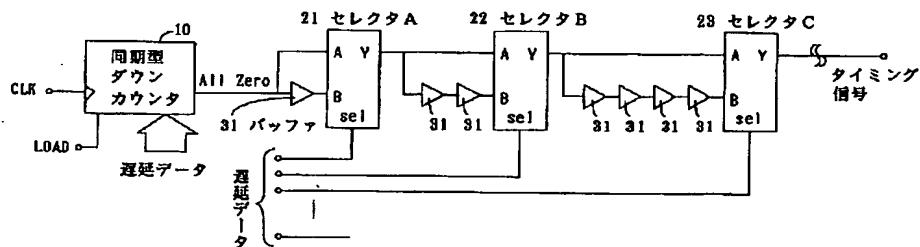


BEST AVAILABLE COPY

【図6】



【図8】



BEST AVAILABLE COPY

【図9】

